



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03234062 A**(43) Date of publication of application: **18.10.91**

(51) Int. Cl.

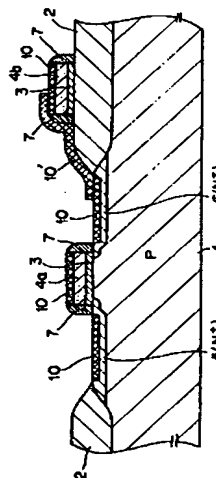
**H01L 29/46****H01L 21/28****H01L 21/3205****H01L 27/11**(21) Application number: **02030524**(22) Date of filing: **09.02.90**(71) Applicant: **TEXAS INSTR JAPAN LTD**(72) Inventor:  
**HAMAMOTO KAZUHIRO**  
**IMAMURA YOICHIRO**  
**CHIYOU SEISHIYU****(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF****(57) Abstract:**

**PURPOSE:** To improve conductivity of wiring layer and to promote manufacture of finer device by forming the wiring layer, connecting between first and second conductive layers deposited on one main face of a semiconductor substrate, at least of a silicide layer and making the connection according to direct contact system.

**CONSTITUTION:** Since  $N^+$ -type diffusion region 6 and gate electrodes 4b are arranged on one main face of a P-type semiconductor substrate 1 and a wiring layer 10' connecting the  $N^+$ -type diffusion regions 6 and the gate electrodes 4b is formed at least of a titanium silicide ( $TiSi_2$ ) layer, resistivity of the wiring layer can be reduced by a factor of six or more as compared with a titanium nitride layer. Since conductivity of the wiring layer is improved, predetermined conductivity can be ensured even if the width or the thickness of the wiring layer 10' is reduced and thereby manufacture of finer device can be promoted. Furthermore, since the  $N^+$ -type diffusion regions 6 and the gate electrodes 4b are connected with the wiring layer 10' according to direct

contact system, desired layout pattern can be realized without requiring formation of contact holes in the insulation film through a mask.

COPYRIGHT: (C)1991,JPO&amp;Japio



**THIS PAGE BLANK (USPTO)**

## ⑩ 公開特許公報(A) 平3-234062

⑤Int. Cl.<sup>3</sup>H 01 L 29/46  
21/28  
21/3205  
27/11

識別記号

3 0 1 T  
T

庁内整理番号

7738-5F  
7738-5F

④公開 平成3年(1991)10月18日

6810-5F  
8624-5FH 01 L 21/88  
27/10

3 8 1 P

審査請求 未請求 請求項の数 2 (全7頁)

⑤発明の名称 半導体装置及びその製造方法

②特 願 平2-30524

②出 願 平2(1990)2月9日

- ⑦発明者 浜 本 和 裕 茨城県稲敷郡美浦村木原2355 日本テキサス・インスツル  
メンツ株式会社内
- ⑦発明者 今 村 洋 一 郎 茨城県稲敷郡美浦村木原2355 日本テキサス・インスツル  
メンツ株式会社内
- ⑦発明者 趙 成 洙 茨城県稲敷郡美浦村木原2355 日本テキサス・インスツル  
メンツ株式会社内
- ⑦出 願 人 日本テキサス・インス 東京都港区北青山3丁目6番12号 青山富士ビル  
ツルメンツ株式会社
- ⑦代 理 人 弁理士 逢 坂 宏

## 明 細 書

## I. 発明の名称

半導体装置及びその製造方法

## II. 特許請求の範囲

1. 半導体基体の一主面側に第1及び第2の導電層が設けられ、これら第1及び第2の導電層を互いに接続する配線層が少なくともシリサイド層によって形成され、かつ、前記第1及び第2の導電層が前記配線層と夫々ダイレクトコンタクト方式で接続されている半導体装置。

2. 半導体基体の一主面側に所定の第1及び第2の導電層を形成する工程と；これら第1及び第2の導電層上にこれら導電層間を接続するように金属層を形成する工程と；この金属層上にシリコン層を形成する工程と；このシリコン層を所定パターンにパターンニングする工程と；前記パターンニングされたシリコン層と前記金属との反応によってシリサイド層を形成する工程と；少なくともこのシリサイド層を前記第1及び第2の導電層と夫々

ダイレクトコンタクト方式で接続される配線層として残す工程と；を有する半導体装置の製造方法。

## III. 発明の詳細な説明

## イ. 産業上の利用分野

本発明は半導体装置及びその製造方法に関し、例えばスタティックRAM(Random Access Memory)に好適な半導体装置及びその製造方法に関するものである。

## ロ. 従来技術

従来、例えばスタティックRAMにおいては、小面積の領域に接地配線やビット線等多くの配線を通さなくてはならないため、パターンレイアウト上の厳しい制約がある。そこで、シリコンゲートMOS集積回路等においてゲート電極と拡散層(ソース、ドレインもしくはこれに対応する領域)との接続を通常のAl等の金属配線層による引出しを行うのではなく、チタンナイトライド(TiN)を用いて直接に拡散層と接続するという、いわゆるローカル・インターコネクト(Local Interconnect)と呼ばれる方法が開発されている(例えば1984年

度 I E D M (International Electrical Devices Meeting) における P118~P121 の "A NEW DEVICE INTERCONNECT SCHEME FOR SUB-MICRON VLSI" 又は特開昭62-257749 号公報参照。)。そして、このローカル・インターコネクトを用いると、例えばゲート電極と拡散層の接続を行うのに、コンタクトホールを形成せずに上記接続を行うことができるため、上述したスタティック R A M 等におけるパターンレイアウト上の自由度が増し、集積度も向上する。

しかし、上記したローカル・インターコネクト方法によって製造された半導体装置においては、製造プロセス等において生じる各問題点を有している。以下、第4A図~第4C図においてローカル・インターコネクト法による半導体装置の製造プロセスの一例を示してそれらの問題点を説明する。なお、この例では説明の都合上、製造プロセスの主要な段階についてのみを示して説明する。

まず、第4A図に示すように、P型シリコン基板1の表面には、N<sup>+</sup>型拡散領域(ソース領域又

はドレイン領域)5、6が所定のパターンに形成されていて、これらの間にはゲート酸化膜3を介してゲート電極4aが設けられ、後述する第2図に示す例えばNチャネルMOSトランジスタN1(又はN2)が構成される。一方、N<sup>+</sup>型拡散領域6側のフィールド酸化膜2上には、後述する第2図に示す例えばPチャネルMOSトランジスタP1及びNチャネルMOSトランジスタN4(又はPチャネルMOSトランジスタP1及びNチャネルMOSトランジスタN3)の共通のゲート電極4bが、上記と同様にゲート酸化膜3を介して形成されている。なお、図中の符号7は公知のサイドウォール技術によって形成した酸化膜であり、上述した各領域及び各層の形成は、夫々通常の各プロセスを経ることによって行えるので、ここでは説明を省略してある。

次いで、全面に図示省略のチタニウム(Ti)を例えば公知の低温での減圧CVD法によって厚さ1000Å程度に堆積させた後、窒素雰囲気中で例えば500~600℃程度の加熱処理を行って、第4B

図に示すように、各拡散領域5、6上及び各ゲート電極4a、4b上にTiSixの層9が形成されると同時に、このとき、所定の配線となるチタンナイトライド(TiN)層8が形成される。そして、さらに上記所定の配線層となる領域に例えばフォトレジスト20を塗布した後、ウェットエッチング(例えばH<sub>2</sub>O<sub>2</sub>:NH<sub>4</sub>OH:H<sub>2</sub>O=1:1:5)を行うことによって、第4C図に示すように、所定領域にのみチタンナイトライド層8を残す。しかる後、さらに例えば700~800℃の加熱処理を行って各TiSixの層9におけるTiとSiの反応を完成させることによりチタンシリサイド層(TiSi<sub>2</sub>)10を形成すると同時に、チタンナイトライド層(配線層)8を安定化させる。

上述した製造プロセスによって製作された半導体装置について本発明者らが種々検討を重ねた結果、以下にしめす各問題点を見出した。

(1)、即ち、上述した配線層8はチタンナイトライド等であるため、その抵抗率が100μΩ-cm

と非常に高く、所望の導電性を得ることができない。

(2)、さらに、所定の導電性を得ようとすれば、どうしても配線8の幅や厚さ等の値を大きくしなければならず、(配線パターンのレイアウト上の制約が大きくなる。)、デバイスの微細化にも自ずと限界がある。

(3)、また、上述した第4B図に示した配線層8のエッチングの際、上述した例ではウェットエッチングによってパターンニングを行うため、どうしてもアンダーカットが生じ易く、そのためのマージンを十分に考慮しなければならない。このことは、上記したデバイスの微細化にとっても不利である。

#### ハ、発明の目的

本発明の目的は、配線層の導電性を向上させることができ、かつ、微細化も促進できる半導体装置及びその製造方法を提供することにある。

#### ニ、発明の構成

即ち、本発明は、半導体基体の一主面側に第1

及び第2の導電層が設けられ、これら第1及び第2の導電層を互いに接続する配線層が少なくともシリサイド層によって形成され、かつ、前記第1及び第2の導電層が前記配線層と夫々ダイレクトコンタクト方式で接続されている半導体装置に係るものである。

また、本発明は、上記半導体装置を製造する方法として、半導体基体の一主面側に所定の第1及び第2の導電層を形成する工程と；これら第1及び第2の導電層上にこれら導電層間を接続するように金属層を形成する工程と；この金属層上にシリコン層を形成する工程と；このシリコン層を所定パターンにパターンニングする工程と；前記パターンニングされたシリコン層と前記金属との反応によってシリサイド層を形成する工程と；少なくともこのシリサイド層を前記第1及び第2の導電層と夫々ダイレクトコンタクト方式で接続される配線層として残す工程と；を有する半導体装置の製造方法も提供するものである。なお、ここで上記「ダイレクトコンタクト方式」とは、絶縁膜にコ

ンタクトホールを形成しないで素子領域の導電層上に直接配線層を被着して接続する方式を意味する。

#### ホ. 実施例

以下、本発明の実施例を説明する。

第1図～第3図はスタティックRAMのメモリセルに本発明を適用した例を示すものである。

第1図に示すように、本例によるデバイスは上述した例と同様の構造を有しているが、著しく異なる点は、上述したチタンナイトライドによる配線層8の替わりにチタンシリサイド(TiSi<sub>2</sub>)を用いた配線層10'を、第2図に示す例えばNチャネルMOSトランジスタN1のドレイン領域6とPチャネルMOSトランジスタP2及びNチャネルMOSトランジスタN4の共通のゲート電極4bとを互いに接続するための配線層として用いていることである。なお、第2図はスタティックRAMのメモリセルを示す等価回路図であり、図中の符号N1～N4は夫々NチャネルMOSトランジスタ、P1及びP2は夫々PチャネルMO

Sトランジスタ、WLはワード線、BL及びBLは夫々ビット線である。

即ち、第1図に示すように、本例による半導体装置は、上述したようにP型半導体基板1の一主面側にN<sup>+</sup>型拡散領域(ドレイン領域)6及びゲート電極4bが設けられ、これらN<sup>+</sup>型拡散領域6及びゲート電極4bを互いに接続する配線層10'を少なくともチタンシリサイド(TiSi<sub>2</sub>)層によって形成しているので、その配線層の抵抗率が15μΩ-cmとなり、上述したチタンナイトライド層8に比べて1/6以下の値にできる。従って、配線層としての導電性を向上させることができ、その結果、配線層10'の幅や厚さ等を縮小しても所定の導電性を得ることができるため、デバイスの微細化を促進できる。また、N<sup>+</sup>型拡散領域6及びゲート電極4bを配線層10'と夫々ダイレクトコンタクト方式で接続しているので、マスクを用いて絶縁膜にコンタクトホールを形成する必要がなく、所望のレイアウトパターンが得られる。従って一層効果的にデバイスの微細化を促進

できる。

また、本例の場合、N<sup>+</sup>型拡散領域6及びゲート電極4b上に夫々TiSi<sub>2</sub>層10を形成しているので、配線層10'と同様の材質を有しているため、その接続性が非常に良好である。さらに、TiSi<sub>2</sub>層10自体が相手材料との接続性が良く、薄くても被着強度が確保できる。

次に、第3A図～第3K図において本例によるデバイスの製造方法を説明する。

まず、第3A図に示すように、P型シリコン基板1上に公知のLOCOS法によりフィールド酸化膜2(例えば厚さ8000Å)を成長させ、その後熱酸化によってシリコン基板1上にゲート酸化膜3(例えば厚さ200Å)を形成する。

次いで、第3B図に示すように、公知の例えば低圧CVD法により、全面にポリシリコン層4(例えば厚さ5000Å)を堆積させ、その後に例えばリンを温度950℃のもとでCVDにより堆積させ、熱処理を行うことによってポリシリコン層4をN型にドーピングしておく。次いで、第3C図に示

すように、マスク（例えばフォトレジスト：図示省略）で所定領域を覆ってから、例えばドライエッチングにより所定のパターニングを行って、ゲート電極4a及び4bを夫々形成する。そして、公知のイオン注入法によりN型不純物（例えばAs）のイオン30を選択的に打ち込み、その後温度950℃のもとでアニールすることによってN<sup>+</sup>型拡散領域5及び6（ソース領域及びドレイン領域）を形成する。なお、N<sup>+</sup>型拡散領域5及び6は、いわゆるLDD（Lightly Doped Drain）と呼ばれる構造を形成するように軽く上記イオン注入を行っている。

次いで、第3D図に示すように、全面にCVD方法によりナイトライド膜7を堆積させ、異方性エッチング（例えば反応性イオンエッチング）等により、第3E図に示すように、ゲート酸化膜3の側面を含むゲート電極4a及び4bの側面にのみナイトライド膜7をサイドウォールとして残す。

次いで、第3F図に示すように、全面に低温での減圧CVD法によりチタニウム層12を膜厚

1000Å程度被着させ、さらに、第3G図に示すように、全面にスパッタ法によってポリシリコン層13を厚さ2000Å程度堆積させた後、第3H図に示すように、所定領域をマスク（例えばフォトレジスト）30で覆ってから例えばドライエッチング（ $CF_4 + O_2$ , 150 W, 150 m Torr, RIE）を行って、所定領域にのみポリシリコン層13を残す（第3I図参照）。このときのポリシリコン層13のエッチングは、下地がTi層12であるのでその選択比がTi:Si=1:4と十分にとれ、従って、下地のTi層12までエッチングする心配がない。

次いで、第3J図に示すように、例えば温度500～600℃のもとでアニールすることによりTiSix層9を夫々形成する。しかる後、ウェットエッチング（ $H_2O_2 : NH_4OH : H_2O = 1 : 1 : 13$ ）によって所定領域のTi層12を除去し、さらに、温度700～800℃のもとでアニールすることによって、第3K図に示すように、所定のTiSi層10及び、上述したN<sup>+</sup>型拡散層6と

ゲート電極4bを互いに接続するための配線層（TiSi層）10を夫々形成する。また、ここでTiSixとTiNのエッチレートは夫々 $TiN = 20 \text{ Å/min}$ ,  $TiSi_x = 2 \text{ Å/min}$ である。

以上に説明したように、本例による半導体装置及びその製造方法によれば、N<sup>+</sup>型拡散領域（本例ではドレイン領域）6及びゲート電極4b上にこれら導電層間を接続するようにTi層12を形成する工程と、このTi層12上にSi層13を形成してからそのSi層13を所定のパターンにパターニングする工程と、上記パターニングされたSi層13とTi層12との反応によってTiSi層10'を形成する工程と、少なくともこのTiSi層10'をN<sup>+</sup>型拡散領域6及びゲート電極4bと夫々ダイレクトコンタクト方式で接続されている配線層10'として残す工程とを有しているので、上述した各利点を有していると共に、ここでは、第3I図に示した配線層10'となるポリシリコン層13のパターニングに際し、上述したように、下地のTi層12との選択比を

十分大きくとれるため、ドライエッチング等によるエッチング時のプロセスマージンが大きい。

上述した従来例のようにTiN層8のパターニングをドライエッチングで行おうとすれば、第4B図に示した工程において、TiN層8とTiSix層9とのエッチレートは夫々 $800 \text{ Å/min}$ 、

$470 \text{ Å/min}$ であり、夫々エッチレートの比が $TiN/TiSi_x = 1.7$ であるため、そのエッチングが難しい。即ち、ひどい場合には、TiN層8だけではなく、TiSix層9をもエッチングしてしまうことになる。

以上、本発明を例示したが、上述した実施例は、本発明の技術的思想に基づいて更に変形可能である。

例えば上述したようにN<sup>+</sup>型拡散層領域6及びゲート電極4bを互いに接続する配線層10'として本発明を適用したが、その他、例えば上述した第2図におけるPチャネルMOSトランジスタP1（或いはP2）のドレイン領域とNチャネルMOSトランジスタN3（或いはN4）のドレイ

ン領域同士の接続や、それらのゲート電極同士の接続等の適宜の個所に本発明を適用できる。

また、上述した例では配線層はすべて $TiSi_2$ 層によって形成されているが、例えば $Ti$ 層を形成した後に $TiSi_2$ 層を成長又は被着させた2層構造の配線層としてもよい。また、配線層の材質も $TiSi_2$ に限ることなく、例えば $WSi_2$  ( $30\mu\Omega\text{-cm}$ )、 $MoSi_2$  ( $40\mu\Omega\text{-cm}$ )、 $CoSi_2$  ( $20\mu\Omega\text{-cm}$ )、 $PdSi_2$  ( $30\mu\Omega\text{-cm}$ )等を用いることも可能である。これは、いずれも従来の $TiN$ と比べると1ケタ程度その抵抗率が低く、配線としては好都合である。

なお、上述の各半導体領域の導電型を逆にしても勿論よく、また、上述したスタティックRAM以外にも例えばダイナミックRAM等の適宜のものに本発明が適用可能である。

へ。発明の作用効果

本発明は、上述したように、第1及び第2の導電層を互いに接続する配線層を少なくともシリサイド層によって形成しているの、その配線層の

抵抗率を低下させ、導電性を向上させることができる。従って、上記配線層の線幅や厚さ等を小さくしても、所定の導電性を得ることができるため、半導体装置の微細化が可能となる。また、上記第1及び第2の導電層を上記配線層と夫々ダイレクトコンタクト方式で接続しているの、マスクを用いて絶縁膜にコンタクトホールを形成する必要がなく、設計通りの配線パターンが得られ、より一層効果的に微細化を促進できる。

#### IV. 図面の簡単な説明

第1図～第3図は本発明の実施例を示すものであって、

第1図はスタティックRAMのメモリセルの要部断面図、

第2図は第1図の等価回路図、

第3A図、第3B図、第3C図、第3D図、第3E図、第3F図、第3G図、第3H図、第3I図、第3J図、第3K図は第1図のデバイスの製造方法を主要段階について順次示す各断面図

である。

第4A図、第4B図、第4C図は従来のいわゆるローカル・インターコネクト法によるデバイスの製造方法を主要段階について順次示す各断面図である。

なお、図面に示す符号において、

1 …… P型シリコン基板

4a、4b …… ゲート電極

5、6 ……  $N^+$ 型拡散領域（ソース又はドレイン領域）

10 …… チタンシリサイド層（ $TiSi_2$ 層）

10' …… 配線層（ $TiSi_2$ 層）

12 …… チタニウム層

13 …… ポリシリコン層

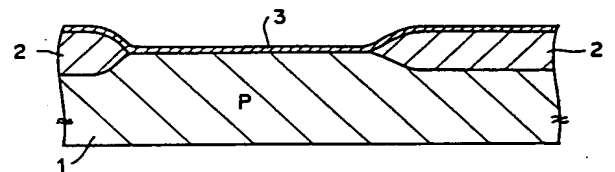
P1、P2 …… PチャネルMOSトランジスタ

N1、N2、N3、N4

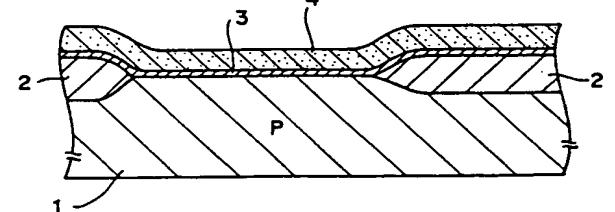
…… NチャネルMOSトランジスタ

である。

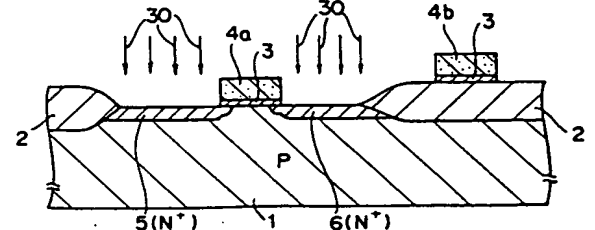
第3A図



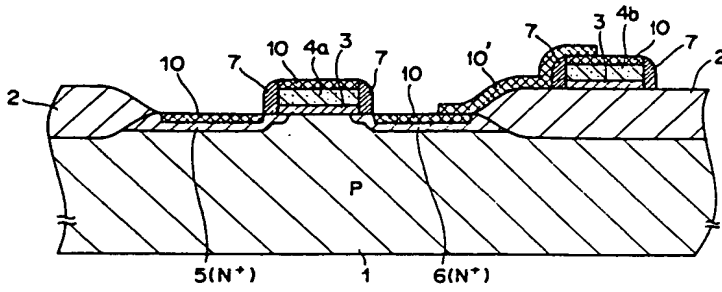
第3B図



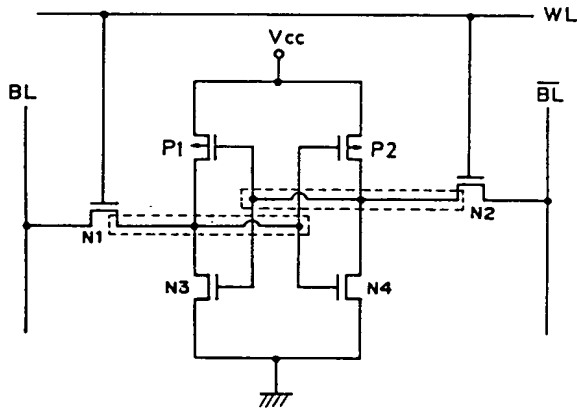
第3C図



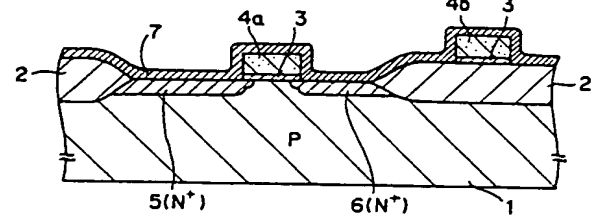
第 1 図



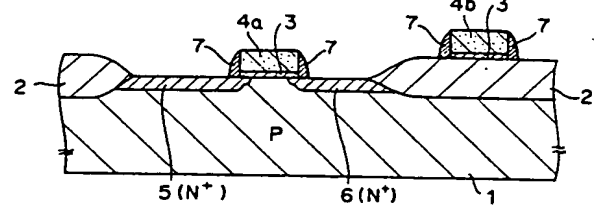
第 2 図



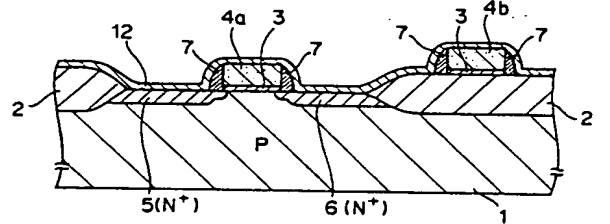
第 3D 図



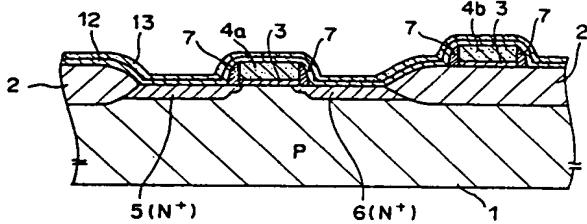
第 3E 図



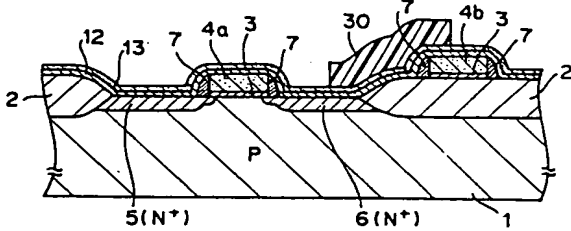
第 3F 図



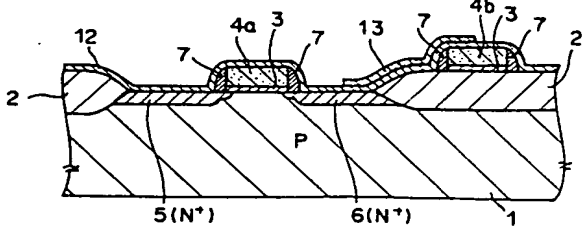
第 3G 図



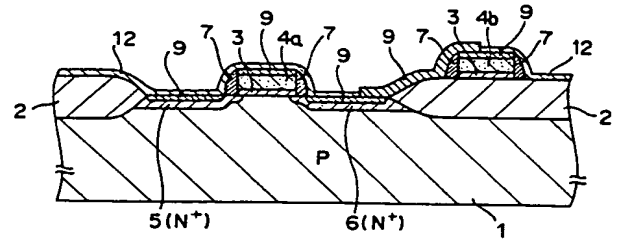
第 3H 図



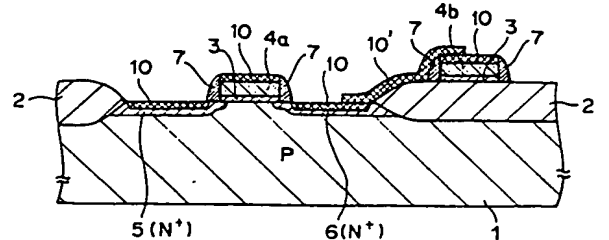
第 3I 図



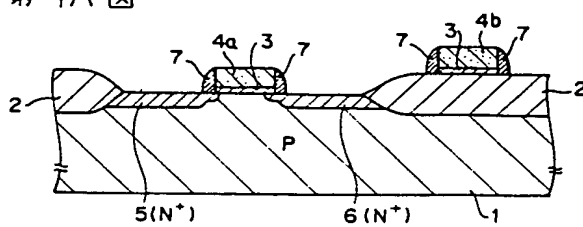
第 3J 図



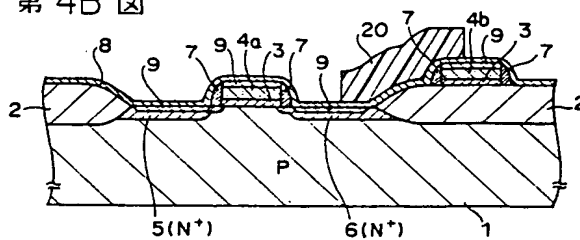
第 3K 図



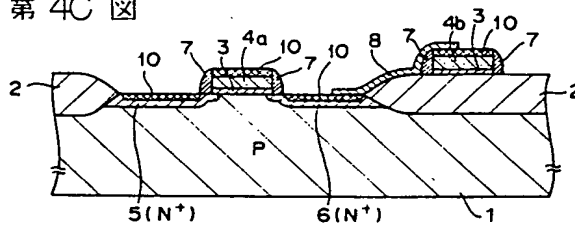
第 4A 図



第 4B 図



第 4C 図



**THIS PAGE BLANK (USPTO)**